



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09246375 A

(43) Date of publication of application: 19 . 09 . 97

(51) Int. Cl.

H01L 21/768

H01L 21/3065

(21) Application number: 08049672

(71) Applicant: HITACHI LTD

(22) Date of filing: 07 . 03 . 96

(72) Inventor: OSHIKA KATSUSHI

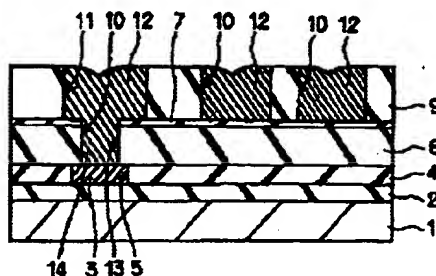
(54) METHOD OF FORMING INTERCONNECTION AND
MANUFACTURE OF SEMICONDUCTOR DEVICEwhereby the upper interconnection 12 and the
through-hole 14 are formed at the same time.

(57) Abstract

COPYRIGHT: (C)1997,JPO

PROBLEM TO BE SOLVED: To enable a semiconductor device to be shortened in manufacturing process and lessened in cost by a method wherein a groove and a through-hole for interconnection are formed through a single etching process, and an interconnection and a through-hole section are formed through a single metal deposition and a single mechanochemical polishing process.

SOLUTION: A stopper insulating film (AlN , Al_2O_3) 7 which is provided with an opening 10 and hard to dry-etch with F radicals is interposed between insulating films (SiN , SiO_2) 6 and 9 which can be etched with F radicals. Thereafter, an interconnection groove 11 which reaches the stopper insulating film 7 and a through-hole 13 which penetrates through the upper and lower insulating films, 6 and 9, passing through the opening 10 are formed at the same time by dry-etching the upper insulating film 9 with F radicals. Thereafter, Cu is buried by a CVD method or the like, and the surface of the upper insulating film 9 is polished by mechanochemical polishing to leave metal only inside the interconnection groove 11 and the through-hole 13,



BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-246375

(43)公開日 平成9年(1997)9月19日

(51)IntCl ¹	識別記号	庁内整理番号	FI	技術表示箇所
H01L 21/768			H01L 21/90	A
21/3065			21/302	L

審査請求 未請求 請求項の数 6 OL (全 8 頁)

(21)出願番号 特願平8-49672

(22)出願日 平成8年(1996)3月7日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 究明者 大鹿 克志

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74) 代理人 弁理士 秋田 収喜

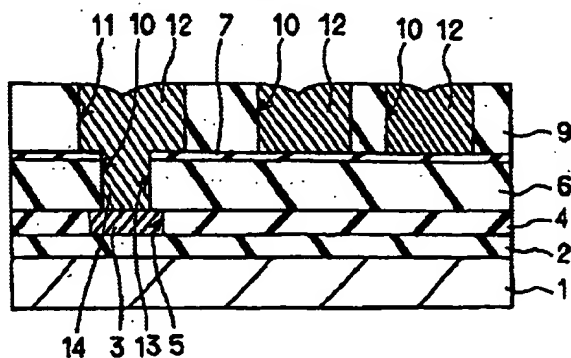
(54) 【発明の名称】 配線形成方法および半導体装置の製造方法

(57) 【要約】 (修正有)

【課題】 配線用溝とスルーホールを1回のエッチングで形成するとともに、1回の金属堆積と化学的機械研磨で配線とスルーホール部を形成して工程を短縮し、コストの低減を図る。

【解決手段】 Fラジカルでドライエッチング可能な絶縁膜（SiN、SiO）6、9間に、一部が開口して開口部10を有するFラジカルでドライエッチング不可能なストッパ絶縁膜（AlN、Al、O₂）7を配置した後、Fラジカルでドライエッチング加工する際に、上層の絶縁膜9をエッチングしてストッパ絶縁膜7に至る配線用溝11と、上層の絶縁膜から開口部を通して下層の絶縁膜を貫通するスルーホール13を同時に形成し、その後、CuをCVD法などにより埋込むとともに化学的機械研磨によって上層から研磨して、配線用溝11内およびスルーホール13内のみ金属を残すことで、上層配線12とスルーホール部14を同時に形成する。

图 1



BEST AVAILABLE COPY